

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270577

(43)Date of publication of application : 09.10.1998

(51)Int.Cl. H01L 21/8247  
H01L 29/788  
H01L 29/792  
H01L 27/115

(21)Application number : 09-074216

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 26.03.1997

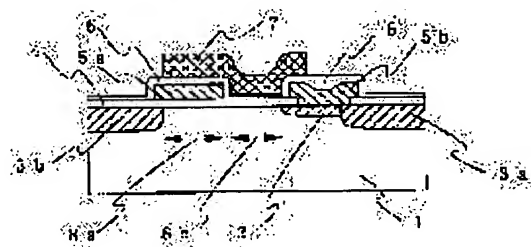
(72)Inventor : EBINA AKIHIKO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To avoid the characteristic fluctuation of a selection gate owing to the positioning precision of a control gate and a floating gate, by deciding the valid length of a selection gate part by means of the size of a gap between first gate metals.

**SOLUTION:** The valid length of a channel part 8b of the selection gate having fixed threshold voltage is decided by the length of the gap between two first gate metals 5a and 5b in terms of self-matching. The length of the channel part 8b of the selection gate, which is largely fluctuated by the influence of the dispersion of the positioning of a control gate 7 and the floating gate 5a, can be controlled to the stable state of small fluctuation. Furthermore, the size of the selection gate can be reduced since it is not necessary to consider the marginal room of characteristic fluctuation owing to positioning dispersion. Then, read response speed can be improved by the improvement of selection gate current driving ability.



## LEGAL STATUS

[Date of request for examination] 29.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3493939

[Date of registration] 21.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] In the semiconductor device which has an impurity diffused layer on a semi-conductor substrate front face, and has the 1st gate metal which touches on both sides of the 1st insulator layer on a substrate, and the 2nd gate metal which touches on both sides of the 2nd insulator layer further It covers. this -- the 1st gate metal -- at least two -- having -- and the 2nd gate metal -- 1st at least two gate metal -- respectively -- alike -- receiving -- at least -- a part -- every -- And the gap of 1st at least two gate metal is also lapped in the wrap form. The semiconductor device which at least one of the 1st gate metals has connected with the impurity diffused layer on the front face of a substrate too hastily electrically, and is characterized by the thing of other gate metals for which at least one is electrically insulated with the perimeter.

[Claim 2] In the manufacture approach of a semiconductor device of having the process which forms the 1st insulator layer on a semi-conductor substrate front face, the process which forms the 1st gate metal on it, and the process which forms the 2nd insulator layer and the 2nd gate metal further At least two gates are formed in coincidence at the process which forms the 1st gate metal. this -- And the process at which a hole is beforehand made in the 1st insulator layer of the location on which at least one of the at least two gates is put in advance of the process which forms the 1st gate metal, and a lower semi-conductor substrate is exposed, The manufacture approach of the semiconductor device characterized by having the process which performs impurity diffusion to a substrate to the hole site.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings; any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which accumulated

the split-gate mold nonvolatile memory component, and its manufacture approach.

[0002]

[Description of the Prior Art] Even if it turns off the power, as structure of the memory device by which the contents of storage are held, i.e., a nonvolatile memory component, the gate metal of MOSFET is formed in two-layer, and the thing with which the gate metal of the 1st layer was electrically insulated from the perimeter with insulating materials, such as silicon oxide, and which constituted as the so-called floating gate is used for many years. By controlling the potential of the control gate which is the gate metal of the 2nd layer, and accumulating or removing the electron which passes an insulating material by generating a hot electron, tunnel current, etc. to the floating gate, the threshold voltage of this MOSFET is changed and this change is used as a memory storage function.

[0003] As an approach of arranging a nonvolatile memory component in the shape of an array, it is relation with the read-out approach, and it roughly divides, there are two methods, serial arrangement and a parallel arrangement, and a still finer variation occurs. Among these, in case an electron was removed from the floating gate in the case of a parallel arrangement and the threshold voltage of a memory device was lowered to it, the so-called superfluous elimination (exaggerated IRESU) in which threshold voltage falls too much and malfunctions often became a problem exceeding the lower limit of the threshold which can be read.

[0004] As a means to avoid this, have the gate used as the control gate and same electric potential. By connecting the usual MOSFET with the fixed threshold called the selection gate with a memory device at a serial, and controlling the threshold voltage of this selection gate in a manufacture process to a bigger value than the lower limit of the threshold in which the above-mentioned read-out is possible At the time of un-choosing [ of a cel ], a current by the selection gate side (when control gate potential is lower than a threshold) A stop, And by taking the configuration which a selection gate side will be in switch-on at the time of selection (when control gate potential is higher than a threshold), and does not bar read-out of a memory device Even if the threshold of a memory device falls too much for superfluous elimination (exaggerated IRESU), the method of defanging this has been taken.

[0005] Furthermore, the split-gate method which accumulates the selection gate and a memory device into one component for the purpose, such as an improvement of a degree of integration, is exhibited by the United States patent number 4,949,140 (8/1990), and the amelioration version is exhibited by publication number H07142617, H07147336, and H07202042, the United States patent numbers 5,045,488 (9/1991), 5,231,299 (6/1993), and 5,274,588 (12/1993), etc.

[0006] Drawing 4 (a) - drawing 4 (h) express the typical manufacture approach for the structure of the nonvolatile memory component of a split-gate mold based on these conventional technique in drawing 4 (i) as a sectional view of the direction of an MOSFET channel again. In drawing, 1 is a semi-conductor substrate, 3 is an impurity diffused layer, and, in 3a, a drain and 3b express the source. 4 [ moreover, ] -- the 1st insulator layer and 5 -- in the 2nd insulator layer and 7, the channel section of a nonvolatile memory component and 8b express the channel section of the selection gate, and, as for 10, the 2nd gate metal (control gate) and 8a express [ the 1st gate metal (floating gate) and 6 ] a photoresist, respectively. Hereafter, the manufacture approach of the semiconductor device which accumulated the conventional split-gate mold nonvolatile memory along drawing is explained briefly.

[0007] After passing through the usual WELL formation process and usual isolation formation process in an integrated circuit if needed, the semi-conductor substrate 1 top of a component formation field is oxidized thermally, and as shown in drawing 4 (a), the 1st insulator layer 4 is formed. Next, the polish recon film which is the 1st gate metal layer 5 in vapor growth etc. like drawing 4 (b) is formed on the 1st insulator layer, required impurity installation is performed, and as shown in drawing 4 (c) and drawing 4 (d); the 1st gate metal (floating gate) 5 is formed at a photo etching process. Then, by thermal oxidation, vapor growth, or its both, after forming the 2nd insulator layer 6 like drawing 4 (e), the polish recon film or metal silicide film which is the 2nd gate metal layer 7 as shown in drawing 4 (f) is formed. Signs that this was fabricated to the 2nd gate metal 7 by photo etching are shown in drawing 4 (g). Furthermore, in the form which carries out self align to the location of a gate metal, after performing gate side-attachment-wall

formation etc. if needed, as shown in drawing 4 (h), impurity installation is performed to source 3b and a drain 3a field.

[0008] Then, although it will progress to processes, such as interlayer insulation film formation / connection hole formation, metal wiring formation, and protective coat formation, if it is the usual integrated circuit, structure is determined at the process which explained the part of a nonvolatile memory component above.

[0009] As shown in drawing 4 (i), it turns out that nonvolatile memory component channel section 8a from which threshold voltage changes according to the amount of charges by the electron poured into the floating gate 5, and channel section 8b of the selection gate which has fixed threshold voltage are accumulated by one compound device in the form electrically connected to the serial. Since it can avoid passing a current in the whole compound device as mentioned above according to this structure even when the threshold voltage of the nonvolatile memory component section falls too much by superfluous elimination (exaggerated IRESU), Since it becomes advantageous to low-battery-izing of the supply voltage at the time of read-out actuation, simplification of a memory-clear circuit system, etc. and there is no connection wiring excessive between the selection gate and a nonvolatile memory component in coincidence, It had the advantage of being able to suppress the fall of the degree of integration by existence of the selection gate to the minimum.

[0010]

[Problem(s) to be Solved by the Invention] However, it sets for the above-mentioned conventional split-gate mold nonvolatile memory component. Since the photograph process and it of the control gate which perform pattern formation of the floating gate are independent In response to the effect of the variation in both alignment, it is tended to change the die length of channel section 8b of the selection gate section. The function of selection gate original was spoiled by the fall of the current drive capacity of the selection gate section at the time of becoming long, or generating of the leakage current by the short channel effect at the time of becoming short, or a punch-through phenomenon, and it had the trouble of causing a yield fall.

[0011] Then, this invention aims at offering the semiconductor device which accumulated the split-gate mold nonvolatile memory component which lost fluctuation of the gate length of the selection gate section, and its manufacture approach.

[0012]

[Means for Solving the Problem] The 1st gate metal which the semiconductor device of this invention according to claim 1 has an impurity diffused layer on a semi-conductor substrate front face, and touches on both sides of the 1st insulator layer on a substrate, In the semiconductor device which has the 2nd gate metal which furthermore touches on both sides of the 2nd insulator layer It covers. this -- the 1st gate metal -- at least two -- having -- and the 2nd gate metal -- 1st at least two gate metal -- respectively -- alike -- receiving -- at least -- a part -- every -- And the gap of 1st at least two gate metal is also lapped in the wrap form, at least one of the 1st gate metals has connected with the impurity diffused layer on the front face of a substrate too hastily electrically, and at least one is characterized by the thing of other gate metals electrically insulated with the perimeter.

[0013] Since the die length of the part which touches a semi-conductor substrate, without the 2nd gate metal which is the control gate sandwiching the 1st gate metal, i.e., the effectual die length of the selection gate section, serves as the structure determined with the magnitude of the gap of the at least two 1st gate metal according to this invention, the effectiveness that property fluctuation of the selection gate resulting from the alignment precision of the control gate and the floating gate is avoidable does so.

[0014] The manufacture approach of the semiconductor device of this invention according to claim 2 In the manufacture approach of a semiconductor device of having the process which forms the 1st insulator layer on a semi-conductor substrate front face, the process which forms the 1st gate metal on it, and the process which forms the 2nd insulator layer and the 2nd gate metal further At least two gates are formed in coincidence at the process which forms the 1st gate metal. this -- And the process at which a hole is beforehand made in the 1st insulator layer of the location on which at least one of the at least two gates is put in advance of the process

which forms the 1st gate metal, and a lower semi-conductor substrate is exposed, It is characterized by having the process which performs impurity diffusion to a substrate to the hole site.

[0015] According to this invention, it becomes a part of drain of the selection gate about the hole top beforehand made in the 1st insulator layer by 1st at least one gate metal formed in the wrap location being connected with the impurity diffused layer in a semi-conductor substrate. And since it insulates from a perimeter, another 1st gate metal serves as the same floating gate as usual and both of a parenthesis are formed in coincidence, The gate length of the die length to which the 2nd gate metal which laps with the upper layer behind touches a semi-conductor substrate on both sides of the 1st insulator layer, i.e., the selection gate, can be determined in self align, and the effectiveness that the structure of avoiding property fluctuation of the selection gate by the variation in the alignment of a photograph process can be manufactured is done so.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0017] Drawing 1 is drawing showing the structure of the gestalt of operation of the semiconductor device concerning invention according to claim 1. The sectional view where drawing 1 (a) met in the direction of a channel of structure, and drawing 1 (b) are top views. In drawing, as for a semi-conductor substrate and 2, 1 is [ the drain auxiliary diffusion section and 3 ] impurity diffused layers, and, in 3a, a drain and 3b express the source. 4 [ moreover, ] -- the 1st insulator layer, and 5a and 5b -- in the 2nd insulator layer and 7, the channel section of a nonvolatile memory component and 8b express the channel section of the selection gate, and, as for 9, the 2nd gate metal (control gate) and 8a express [ the 1st gate metal (floating gate) and 6 ] a component active region boundary, respectively.

[0018] it turn out that it be the same as that of drawing 4 (i) used for explanation of the above-mentioned conventional technique so that clearly from drawing 1 (a). In the structure shown in drawing 1 (a), apart from 1st gate metal 5a which is the usual floating gate, however, by another existence of 1st gate metal 5b near the drain 3a By being raised in the direction in which the edge by the side of drain 3a of the control gate 7 (drawing Nakamigi side) keeps away from the semi-conductor substrate 1 The field where potential change of the control gate 7 influences the carrier concentration of the semi-conductor substrate 1 directly, Namely, it differs from the conventional structure greatly in that the effectual die length of channel section 8b of the selection gate has structure determined in self align with the die length of the gap of the 1st two gate metal 5a and 5b. The effectiveness that the die length of channel section 8b of the selection gate which was being sharply changed under the effect of the variation in the alignment of the control gate 7 and floating-gate 5a is conventionally controllable by this self-align-structure in the condition with small fluctuation of having been stabilized is acquired. Furthermore, only the part whose need of expecting the allowances for property fluctuation by above-mentioned alignment variation is lost can make size of the selection gate smaller than before, and improvement in the read-out speed of response by improvement in selection gate current drive capacity and the effectiveness of the improvement in a degree of integration also do it so.

[0019] Moreover, gate metal 5of \*\* another 1st b near [ this ] the drain 3a Since the drain auxiliary diffusion section 2 connects with drain 3a and it has become a part of drain electrically, The leakage current of the nonvolatile memory in the condition (condition that control gate potential is lower than a threshold) of not choosing is suppressed. And the function or property of selection gate original of being in switch-on in the state of selection (condition that control gate potential is higher than a threshold), and not barring read-out of a memory device are not spoiled.

[0020] Drawing 2 (a) - drawing 2 (i) are drawings showing the gestalt of implementation of the 1st of the manufacture approach of the semiconductor device concerning invention according to claim 2. In drawing, as for a semi-conductor substrate and 2, 1 is [ the drain auxiliary diffusion section and 3 ] impurity diffused layers, and, in 3a, a drain and 3b express the source. 4

[ moreover, ] -- the 1st insulator layer, and 5a and 5b -- in the 2nd insulator layer and 7, the channel section of a nonvolatile memory component and 8b express the channel section of the selection gate, and, as for 10, the 2nd gate metal (control gate) and 8a express [ the 1st gate metal (the floating gate and drain short circuit gate metal) and 6 ] a photoresist, respectively. Hereafter, the gestalt of implementation of the 1st of the manufacture approach of the semiconductor device applied to invention according to claim 2 along drawing is explained briefly.

[0021] Like the process by the conventional technique, after passing through the usual WELL formation process and usual isolation formation process in an integrated circuit if needed, the semi-conductor substrate 1 top of a component formation field is oxidized thermally, and as shown in drawing 2 (a), the 1st insulator layer 4 is formed. Next, as shown in drawing 2 (b), a hole is made in the location which serves as the drain auxiliary diffusion section 2 of the 1st insulator layer 4 by photo etching, and an impurity is introduced by approaches, such as an ion implantation which used the photoresist 10 as the mask. The polish recon film which is the 1st gate metal layer 5 in vapor growth etc. like drawing 2 (c) is formed on the 1st insulator layer, required impurity installation is performed, and as shown in drawing 4 (d), the 1st gate metal 5a (floating gate) and 5b (drain short circuit gate metal) is formed at a photo etching process. The distance of the gap of the 1st gate metal 5a and 5b is decided by dimension control at this time, and this is used for the self align of the next selection gate by it. Then, after forming and combining the 2nd insulator layer 6 like drawing 2 (e) by thermal oxidation, vapor growth, or its both and diffusing the drain auxiliary diffusion section 2, the polish recon film or metal silicide film which is the 2nd gate metal layer 7 as shown in drawing 2 (f) is formed. Signs that this was fabricated to the 2nd gate metal 7 by photo etching are shown in drawing 2 (g). At this time, are concerned, there is no effective length of selection gate section 8b in the doubling precision of a photograph process, and it turns out that it is determined in self align with the distance of the gap of the 1st gate metal 5a and 5b in drawing 2 (d). Furthermore, in the form which carries out self align to the location of a gate metal, after performing gate side-attachment-wall formation etc. if needed, as shown in drawing 2 (h) and drawing 2 (i), impurity installation is performed to source 3b and a drain 3a field.

[0022] Then, although it will progress to processes, such as interlayer insulation film formation / connection hole formation, metal wiring formation, and protective coat formation, like the process by the conventional technique if it is the usual integrated circuit, structure is determined at the process which explained the part of a nonvolatile memory component above.

[0023] In this way Drawing 2 It becomes a part of drain of the selection gate by connecting with the drain auxiliary diffusion section 2 and drain 3a whose 1st gate metal 5b formed in the wrap location is an impurity diffused layer in a semi-conductor substrate about the hole top beforehand made in the 1st insulator layer of the location of the drain auxiliary diffusion section 2 shown by (b). And since it is formed in coincidence in the photo etching process which it insulated from the perimeter, another 1st gate metal 3b became the same floating gate as usual, and both of a parenthesis showed to drawing 2 (d), The manufacture approach that the semiconductor device which accumulated the split mold nonvolatile memory which has the selection gate length by the self align shown in drawing 1 can be manufactured reasonable easily can be offered.

[0024] The gestalt of implementation of the 2nd of the manufacture approach of the semiconductor device applied to invention according to claim 2 at drawing 3 (a) - drawing 3 (i) is shown. In drawing, as for a semi-conductor substrate and 2, 1 is [ the drain auxiliary diffusion section and 3 ] impurity diffused layers, and, in 3a, a drain and 3b express the source. Moreover, in the channel section the channel section of a nonvolatile memory component and whose 8b of the 2nd gate metal (control gate) and 8a the 2nd insulator layer and 7 are [ 4 / the 1st insulator layer, and 5a and 5b ] the selection gates for the 1st gate metal (the floating gate drain short circuit gate metal) and 6, and 10, a photoresist and 11 express the oxidation inhibition film and 12 expresses the selective oxidation film, respectively. Hereafter, the gestalt of implementation of the 2nd of the manufacture approach of the semiconductor device applied to invention according to claim 2 along drawing is explained briefly.

[0025] In the gestalt of this 2nd operation, in case pattern formation of the 1st gate metal 5a and 5b is carried out Not the usual photo etching but the oxidization inhibition film 11 on the polish recon film 5 is once punched by photo etching. It is big difference to carry out pattern formation of the 1st gate metal 5a and 5b by using as an etching mask the selective oxidation film 12 obtained by carrying out selective oxidation of the polish recon of the part of the hole, and also it passes through the completely same production process as the gestalt of the 1st operation of the above-mentioned.

[0026] Namely, after passing through the usual WELL formation process and usual isolation formation process in an integrated circuit like the gestalt of the 1st operation of the above-mentioned if needed, Oxidize thermally the semi-conductor substrate 1 top of a component formation field, and the 1st insulator layer 4 is formed. A hole is made in the location which serves as the drain auxiliary diffusion section 2 of the 1st insulator layer 4 by photo etching. The condition of having formed the polish recon film 5 which is the 1st gate metal layer 5 after introductory \*\*\*\*\* and in vapor growth etc. about an impurity on the 1st insulator layer by approaches, such as an ion implantation, and having performed required impurity installation is shown in drawing 3 (a). Next, too, the oxidization inhibition film 11, such as silicon nitride, is formed on the polish recon film 5 with vapor growth etc., the photoresist film 10 is applied, and the condition immediately after performing punching in the location which forms the 1st gate metal at a photograph process is shown in drawing 3 (b). Then, if it oxidizes thermally by etching only the oxidization inhibition film 11 and removing a photoresist, only the polish recon of the bottom of the hole of the oxidization inhibition film will oxidize, and the selective oxidation film 12 will grow like drawing 3 (c). After removing the oxidization inhibition film 11, if the polish recon film is etched by using the selective oxidation film 12 as a mask, the pattern formation of gate metal 5a and the 5b of two 1st b can be carried out like drawing 3 (d). Henceforth, completely like the gestalt of the 1st operation of the above-mentioned, as shown in drawing 3 (e), the 2nd insulator layer 6 is formed. After diffusing the drain auxiliary diffusion section 2 collectively, the polish recon film or metal silicide film which is the 2nd gate metal layer 7 as shown in drawing 3 (f) is formed. After fabricating this to the 2nd gate metal 7 like drawing 2 (g) by photo etching and performing gate side-attachment-wall formation etc. if needed further, as shown in drawing 3 (h) and drawing 3 (i), impurity installation is performed to source 3b and a drain 3a field. Then, the point which progresses to processes, such as interlayer insulation film formation / connection hole formation, metal wiring formation, and protective coat formation, if needed is also as above-mentioned.

[0027] Thus, split-gate mold nonvolatile memory component structure like obtained drawing 3 (i) As well as the point which memory-clear effectiveness goes up to the both ends of 1st sharp gate metal 5a by electric-field concentration taking place by existence of the selective oxidation film 12, by existence of the selective oxidation film 12 The capacity between the gates falls for the total thickness of the insulator layer between floating-gate 5a which became thick, and the control gate 7. Others, such as a point that the effect of the alignment variation of a photograph process becomes small also in respect of capacity The effectiveness of offering the manufacture approach that the semiconductor device which accumulated the split mold nonvolatile memory which has the selection gate length by the self align shown in drawing 1 completely like the gestalt of the 1st operation of the above-mentioned can be manufactured reasonable easily is done so.

[0028]

[Effect of the Invention] The nonvolatile memory component channel section from which threshold voltage changes according to the amount of charges by the electron with which the semiconductor device of this invention was poured into the floating gate as stated above, In the split-gate mold nonvolatile memory component on which the channel section of the selection gate which has fixed threshold voltage is accumulated by one compound device in the form electrically connected to the serial Since the effectual die length of the selection gate section serves as structure determined with the magnitude of the gap of the at least two 1st gate metal, it is effective in property fluctuation of the selection gate resulting from the alignment precision of the control gate and the floating gate being avoidable.



[0029] Moreover, the nonvolatile memory component channel section from which threshold voltage changes according to the amount of charges by the electron poured into the floating gate according to the manufacture approach of the semiconductor device by this invention, In the split mold nonvolatile memory component on which the channel section of the selection gate which has fixed threshold voltage is accumulated by one compound device in the form electrically connected to the serial It becomes a part of drain of the selection gate about the hole top beforehand made in the 1st insulator layer by 1st at least one gate metal formed in the wrap location being connected with the impurity diffused layer in a semi-conductor substrate. And since it insulates from a perimeter, another 1st gate metal serves as the same floating gate as usual and both of a parenthesis are formed in coincidence, The gate length of the selection gate which laps with the upper layer behind can be determined in self align, and manufacture of the structure where property fluctuation of the selection gate by the variation in the alignment of a photograph process is avoided is attained.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the structure of the gestalt of operation of the 1st of this invention, and a top view, and (a) is a sectional view and (b) is a top view.

[Drawing 2] It is the sectional view which arranged the manufacture approach of the gestalt operation of the 1st of this invention from (a) to (i) in order of the process. (b) (a) immediately after the 1st insulator layer formation Immediately after impurity installation of the drain auxiliary diffusion section, (d) (c) immediately after the 1st gate metal membrane formation Immediately after the 1st gate metal pattern formation, In (h), (i) expresses [ (e) / (f) / (g) ] the sectional view after nonvolatile memory component structure determination immediately after the source drain impurity stratification immediately after the 2nd gate metal pattern formation immediately after the 2nd gate metal membrane formation immediately after the 2nd insulator layer formation, respectively.

[Drawing 3] It is the sectional view which arranged the manufacture approach of the gestalt operation of the 2nd of this invention from (a) to (i) in order of the process. (a) After the 1st insulator layer formation, impurity installation of the drain auxiliary diffusion section, and the 1st gate metal membrane formation, (b) Immediately after oxidization inhibition film formation and formation of the photoresist pattern, (d) (c) immediately after selective oxidation film formation Immediately after the 1st gate metal pattern formation, In (h), (i) expresses [ (e) / (f) / (g) ] the sectional view after nonvolatile memory component structure determination immediately after the source drain impurity stratification immediately after the 2nd gate metal pattern formation immediately after the 2nd gate metal membrane formation immediately after the 2nd insulator layer formation, respectively.

[Drawing 4] The sectional view which arranged the manufacture approach of the conventional semiconductor device from (a) to (h) in order of the process, It is the sectional view showing the



structure of the conventional semiconductor device. (a) Immediately after the 1st insulator layer formation, (c) (b) immediately after the 1st gate metal membrane formation Immediately after the photo etching of the 1st gate metal pattern, (e) (d) immediately after the 1st gate metal pattern formation photoresist removal Immediately after the 2nd insulator layer formation, (g) expresses immediately after the 2nd gate metal pattern formation immediately after the 2nd gate metal membrane formation, (h) expresses immediately after the source drain impurity stratification, respectively, and (i) of (f) is the sectional view showing the conventional structure.

[Description of Notations]

1. Semi-conductor Substrate
  2. Drain Auxiliary Diffusion Section (Top View Top is Drain Auxiliary Diffusion Section Injected Hole)
  3. Impurity Diffused Layer
    - 3a. Drain
    - 3b. Source
  4. 1st Insulator Layer
  5. 1st Gate Metal (Floating Gate)
  6. 2nd Insulator Layer
  7. 2nd Gate Metal (Control Gate)
  8. Channel Section of MOSFET
    - 8a. The channel section of a nonvolatile memory component
    - 8b. The channel section of the selection gate
  9. Component Active Region Boundary
  10. Photoresist
  11. Oxidation Inhibition Film
  12. Selective Oxidation Film
- 

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270577

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8247  
29/788  
29/792  
27/115

H 0 1 L 29/78  
27/10

3 7 1  
4 3 4

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平9-74216

(22) 出願日

平成9年(1997)3月26日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 蝦名 昭彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

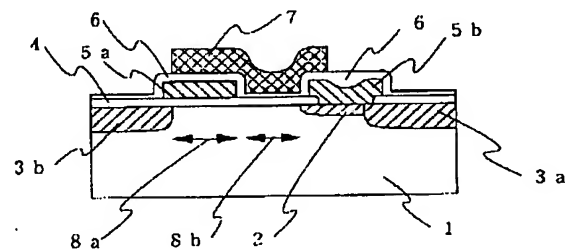
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

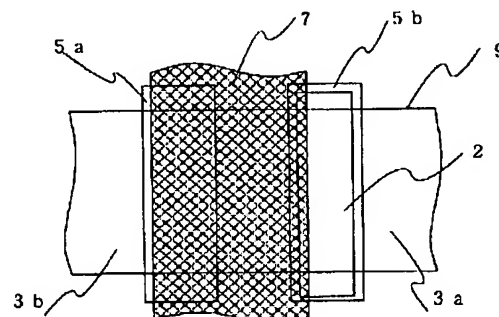
(57) 【要約】

【課題】 2層ゲートの不揮発性メモリ部と固定閾値のセレクトゲート部が直列する形で複合素子として集積されたスプリットゲート型不揮発性メモリセル、またはフラッシュメモリセルにおいて、セレクトゲート部のゲート長を自己整合的に決定する構造、及び製造方法を提供する。

【解決手段】 第1のゲートであるフローティングゲート形成時に、セレクトゲートの長さだけ離れたもう一つのパターンを、第1絶縁膜上に予め設けた接触孔を介してドレインに短絡させる形で同時形成し、第2の絶縁膜を挟んで上層に重なる第2のゲートであるコントロールゲートの延長が、複数の第1のゲートパターンの間隙に重なる部分のみが、実質的セレクトゲートとなるような構造、及び製造方法を採用する。



(a) 断面図



(b) 平面図

**【特許請求の範囲】**

【請求項1】半導体基板表面に不純物拡散層を有し、基板上に第1の絶縁膜を挟んで接する第1のゲート金属と、さらに第2の絶縁膜を挟んで接する第2のゲート金属とを有する半導体装置において、該第1のゲート金属を少なくとも二つ有し、かつ第2のゲート金属が少なくとも二つの第1のゲート金属のそれぞれに対して少なくとも一部ずつを覆い、且つ少なくとも二つの第1のゲート金属の間隙をも覆う形で重なっており、第1のゲート金属のうち少なくともひとつが基板表面の不純物拡散層と電気的に短絡されており、且つ他のゲート金属の少なくともひとつが電気的に周囲と絶縁されていることを特徴とする半導体装置。

【請求項2】半導体基板表面上に第1の絶縁膜を形成する工程と、その上に第1のゲート金属を形成する工程と、さらに第2の絶縁膜と第2のゲート金属とを形成する工程を有する半導体装置の製造方法において、該第1のゲート金属を形成する工程で少なくとも二つのゲートが同時に形成され、かつ、第1のゲート金属を形成する工程に先だって、その少なくとも二つのゲートのうち少なくともひとつが置かれる位置の第1の絶縁膜に予め穴をあけて下部半導体基板を露出させておく工程と、その穴の位置に基板への不純物拡散を行う工程とを有することを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、スプリットゲート型不揮発性メモリ素子を集積した半導体装置と、その製造方法に関する。

**【0002】**

【従来の技術】電源を切ってもその記憶内容が保持されるメモリ素子、即ち、不揮発性メモリ素子の構造として、MOSFETのゲート金属を2層に形成し、第1層のゲート金属をシリコン酸化物などの絶縁物で周囲から電気的に絶縁された、いわゆるフローティングゲートとして構成したものが古くから用いられている。第2層のゲート金属であるコントロールゲートの電位を制御し、ホットエレクトロンやトンネル電流などを発生させることで絶縁物を通過する電子をフローティングゲートに蓄積、または除去することによって、このMOSFETの閾値電圧を変化させ、この変化を記憶機能として利用するものである。

【0003】不揮発性メモリ素子をアレイ状に並べる方法としては、読み出し方法との関連で、大きく分けて直列配置と並列配置の二つの方式があり、さらに細かなバリエーションがある。このうち並列配置の場合においては、フローティングゲートから電子を除去してメモリ素子の閾値電圧を下げる際に、読み出し可能な閾値の下限値を越えて、閾値電圧が下がり過ぎて誤動作する、いわゆる過剰消去（オーバーイレース）がしばしば問題とな

ってきた。

【0004】これを回避する手段として、コントロールゲートと同電位となるゲートを有する、セレクトゲートと称する固定閾値を持った通常のMOSFETをメモリ素子と直列に接続し、このセレクトゲートの閾値電圧を製造過程において前述の読み出し可能な閾値の下限值より大きな値に制御することで、セルの非選択時（コントロールゲート電位が閾値より低い時）にはセレクトゲート側で電流を止め、かつ、選択時（コントロールゲート電位が閾値より高い時）にはセレクトゲート側は導通状態となってメモリ素子の読み出しを妨げない構成をとることによって、過剰消去（オーバーイレース）のためにメモリ素子の閾値が下がり過ぎてこれを無害化するという方法が採られてきた。

【0005】さらに、集積度の改善などの目的で、セレクトゲートとメモリ素子をひとつの素子内に集積する、スプリットゲート方式が、米国特許番号4,949,140（8/1990）にて公開され、特開平H07142617、H07147336、H07202042や米国特許番号5,045,488（9/1991）、5,231,299（6/1993）、5,274,588（12/1993）などでその改良版が公開されている。

【0006】図4(i)は、これら従来技術に基づく、スプリットゲート型の不揮発性メモリ素子の構造を、また、図4(a)～図4(h)はその代表的製造方法を、MOSFETチャネル方向の断面図として表したものである。図において、1は半導体基板、3は不純物拡散層で、3aはドレイン、3bはソースを表す。また、4は第1の絶縁膜、5は第1のゲート金属（フローティングゲート）、6は第2の絶縁膜、7は第2のゲート金属（コントロールゲート）、8aは不揮発性メモリ素子のチャネル部、8bはセレクトゲートのチャネル部、10はフォトレジストをそれぞれ表す。以下、図に沿って従来のスプリットゲート型不揮発性メモリを集積した半導体装置の製造方法を簡単に説明する。

【0007】通常集積回路における、WELL形成工程や素子分離形成工程を必要に応じて経た後、素子形成領域の半導体基板1上を熱酸化するなどして、図4(a)に示すように第1の絶縁膜4を形成する。次に、図4(b)のように気相成長法などで第1のゲート金属層5であるポリシリコン膜を第1の絶縁膜上に形成して必要な不純物導入を行い、図4(c)、図4(d)に示すようにフォトレッチング工程で第1のゲート金属（フローティングゲート）5を形成する。続いて、熱酸化または気相成長、もしくはその両方によって、図4(e)のように第2の絶縁膜6を形成した後、図4(f)に示したように第2のゲート金属層7であるポリシリコン膜または金属シリサイド膜を形成する。これを、フォトレッチングによって第2のゲート金属7に成形した様子を図4(g)に示す。さらに、必要に応じてゲート側壁形成などを行った後、ゲート金属の位置と自己整合する形で、図4(h)に示すよう

にソース3b・ドレイン3a領域に不純物導入を行う。

【0008】この後、通常の集積回路であれば、層間絶縁膜形成・接続孔形成・金属配線形成・保護膜形成などの工程へと進むが、不揮発性メモリ素子の部分は、以上説明した工程で構造が決定される。

【0009】図4(i)に示したように、フローティングゲート5に注入された電子による電荷量に応じて閾値電圧が変化する不揮発性メモリ素子チャネル部8aと、固定閾値電圧を有するセレクトゲートのチャネル部8bが、電気的に直列に接続された形でひとつの複合素子に集積されていることがわかる。この構造によって、前述したとおり、過剰消去(オーバーイレース)によって不揮発性メモリ素子部の閾値電圧が下がり過ぎた場合でも、複合素子全体では電流を流さないようにすることができるため、読み出し動作時の電源電圧の低電圧化や、メモリ消去回路系の簡略化などに有利となり、同時に、セレクトゲートと不揮発性メモリ素子との間に余分な接続配線がないため、セレクトゲートの存在による集積度の低下を最小限に抑えることができるなどの利点を有していた。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来のスプリットゲート型不揮発性メモリ素子においては、フローティングゲートのパターン形成を行うフォトリソ工程とコントロールゲートのそれとが独立であるために、両者の位置合わせのバラツキの影響を受けてセレクトゲート部のチャネル部8bの長さが変動しやすく、長くなった場合のセレクトゲート部の電流駆動能力の低下、もしくは短くなった場合の短チャネル効果によるリーク電流やパンチスルー現象の発生で、セレクトゲート本来の機能を損なって、歩留り低下を招いてしまうという問題点を有していた。

【0011】そこで、本発明は、セレクトゲート部のゲート長の変動をなくしたスプリットゲート型不揮発性メモリ素子を集積した半導体装置、及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の請求項1記載の半導体装置は、半導体基板表面に不純物拡散層を有し、基板上に第1の絶縁膜を挟んで接する第1のゲート金属と、さらに第2の絶縁膜を挟んで接する第2のゲート金属とを有する半導体装置において、該第1のゲート金属を少なくとも二つ有し、かつ第2のゲート金属が少なくとも二つの第1のゲート金属のそれぞれに対して少なくとも一部ずつを覆い、且つ少なくとも二つの第1のゲート金属の間隙をも覆う形で重なっており、第1のゲート金属のうち少なくともひとつが基板表面の不純物拡散層と電気的に短絡されており、且つ他のゲート金属の少なくともひとつが電気的に周囲と絶縁されていることを特徴とする。

【0013】この発明によれば、コントロールゲートである第2のゲート金属が第1のゲート金属を挟まずに半導体基板に接する部分の長さ、即ち、セレクトゲート部の実効的な長さが、少なくとも二つある第1のゲート金属同士の間隙の大きさによって決定される構造となるため、コントロールゲートとフローティングゲートの位置合わせ精度に起因するセレクトゲートの特性変動を回避できるという効果を奏する。

【0014】本発明の請求項2記載の半導体装置の製造方法は、半導体基板表面上に第1の絶縁膜を形成する工程と、その上に第1のゲート金属を形成する工程と、さらに第2の絶縁膜と第2のゲート金属とを形成する工程を有する半導体装置の製造方法において、該第1のゲート金属を形成する工程で少なくとも二つのゲートが同時に形成され、かつ、第1のゲート金属を形成する工程に先だって、その少なくとも二つのゲートのうち少なくともひとつが置かれる位置の第1の絶縁膜に予め穴をあけて下部半導体基板を露出させておく工程と、その穴の位置に基板への不純物拡散を行う工程とを有することを特徴とする。

【0015】この発明によれば、第1の絶縁膜に予めあけた穴の上を覆う位置に形成された少なくともひとつの第1のゲート金属が半導体基板内の不純物拡散層と接続されることでセレクトゲートのドレインの一部となり、かつもう一方の第1のゲート金属は周囲から絶縁されて従来と同様のフローティングゲートとなり、かつこの両者が同時に形成されるため、後に上層に重なる第2のゲート金属が第1の絶縁膜を挟んで半導体基板に接する長さ、即ち、セレクトゲートのゲート長を自己整合的に決定でき、フォトリソ工程の位置合わせのバラツキによるセレクトゲートの特性変動を回避する構造を製造できるという効果を奏する。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0017】図1は、請求項1記載の発明に係る半導体装置の実施の形態の構造を示す図である。図1(a)は構造のチャネル方向に沿った断面図、図1(b)は平面図である。図において、1は半導体基板、2はドレイン補助拡散部、3は不純物拡散層で、3aはドレイン、3bはソースを表す。また、4は第1の絶縁膜、5a・5bは第1のゲート金属(フローティングゲート)、6は第2の絶縁膜、7は第2のゲート金属(コントロールゲート)、8aは不揮発性メモリ素子のチャネル部、8bはセレクトゲートのチャネル部、9は素子能動領域境界をそれぞれ表す。

【0018】図1(a)から明らかなように、フローティングゲート5aに注入された電子による電荷量に応じて閾値電圧が変化する不揮発性メモリ素子チャネル部8aと、固定閾値電圧を有するセレクトゲートのチャネル部

8bが、電氣的に直列に接続された形でひとつの複合素子に集積されている点は、前述の従来技術の説明に用いた図4(i)と同じであることが分かる。但し、図1(a)に示した構造においては、通常のフローティングゲートである第1のゲート金属5aとは別に、ドレイン3a近傍のもう一つの第1のゲート金属5bの存在によって、コントロールゲート7のドレイン3a側(図中右側)の端が半導体基板1から遠ざかる方向に持ち上げられることで、コントロールゲート7の電位変化が半導体基板1のキャリア濃度に直接影響する領域、即ち、セレクトゲートのチャネル部8bの実効的な長さが、二つの第1のゲート金属5aと5bの間隙の長さによって自己整合的に決定される構造となっている点が、従来と大きく異なっている。この自己整合的構造によって、従来コントロールゲート7とフローティングゲート5aとの位置合わせのバラツキの影響で大きく変動していたセレクトゲートのチャネル部8bの長さを、変動の小さい、安定した状態に制御できるという効果が得られる。さらに、上述の位置合わせバラツキによる特性変動分の余裕を見込む必要が無くなる分だけ、セレクトゲートのサイズを従来より小さくすることができ、セレクトゲート電流駆動能力の向上による読み出し応答速度の向上や、集積度向上の効果も奏する。

【0019】また、このドレイン3a近傍のもう一つの第1のゲート金属5bは、ドレイン補助拡散部2によってドレイン3aに接続されており、電氣的にドレインの一部となっているため、非選択状態(コントロールゲート電位が閾値より低い状態)の不揮発性メモリのリーク電流を抑え、かつ、選択状態(コントロールゲート電位が閾値より高い状態)では導通状態となってメモリ素子の読み出しを妨げない、というセレクトゲート本来の機能や特性を損なわない。

【0020】図2(a)～図2(i)は、請求項2記載の発明に係る半導体装置の製造方法の第1の実施の形態を示す図である。図において、1は半導体基板、2はドレイン補助拡散部、3は不純物拡散層で、3aはドレイン、3bはソースを表す。また、4は第1の絶縁膜、5aと5bは第1のゲート金属(フローティングゲートとドレイン短絡ゲート金属)、6は第2の絶縁膜、7は第2のゲート金属(コントロールゲート)、8aは不揮発性メモリ素子のチャネル部、8bはセレクトゲートのチャネル部、10はフォトレジストをそれぞれ表す。以下、図に沿って請求項2記載の発明に係る半導体装置の製造方法の第1の実施の形態を簡単に説明する。

【0021】従来技術によるプロセスと同様に、必要に応じて通常の集積回路におけるWELL形成工程や素子分離形成工程を経た後、素子形成領域の半導体基板1上を熱酸化するなどして、図2(a)に示すように第1の絶縁膜4を形成する。次に、図2(b)に示したようにフォトエッチングによって第1の絶縁膜4のドレイン補助拡散部

2となる位置に穴をあけ、フォトレジスト10をマスクとしたイオン注入などの方法で不純物を導入する。図2(c)のように気相成長法などで第1のゲート金属層5であるポリシリコン膜を第1の絶縁膜上に形成して必要な不純物導入を行い、図4(d)に示すようにフォトエッチング工程で第1のゲート金属5a(フローティングゲート)と5b(ドレイン短絡ゲート金属)を形成する。この時の寸法制御によって、第1のゲート金属5aと5bの間隙の距離が決まり、これを後のセレクトゲートの自己整合に利用する。続いて、熱酸化または気相成長、もしくはその両方によって、図2(e)のように第2の絶縁膜6を形成し、併せてドレイン補助拡散部2を拡散させた後、図2(f)に示したように第2のゲート金属層7であるポリシリコン膜または金属シリサイド膜を形成する。これを、フォトエッチングによって第2のゲート金属7に成形した様子を図2(g)に示す。この時、セレクトゲート部8bの有効長は、フォト工程の合わせ精度に関わり無く、図2(d)における第1のゲート金属5aと5bの間隙の距離によって自己整合的に決定されることが分かる。さらに、必要に応じてゲート側壁形成などを行った後、ゲート金属の位置と自己整合する形で、図2(h)・図2(i)に示すようにソース3b・ドレイン3a領域に不純物導入を行う。

【0022】この後、従来技術によるプロセスと同様に、通常の集積回路であれば、層間絶縁膜形成・接続孔形成・金属配線形成・保護膜形成などの工程へと進むが、不揮発性メモリ素子の部分は、以上説明した工程で構造が決定される。

【0023】このように、図2(b)で示したドレイン補助拡散部2の位置の第1の絶縁膜に予めあけた穴の上を覆う位置に形成された第1のゲート金属5bが半導体基板内の不純物拡散層であるドレイン補助拡散部2及びドレイン3aと接続されることでセレクトゲートのドレインの一部となり、かつもう一方の第1のゲート金属3bは周囲から絶縁されて従来と同様のフローティングゲートとなり、かつこの両者が図2(d)に示したフォトエッチング工程において同時に形成されるため、図1に示した自己整合によるセレクトゲート長を有するスプリット型不揮発性メモリを集積した半導体装置を容易に無理なく製造できる製造方法を提供することができる。

【0024】図3(a)～図3(i)に請求項2記載の発明に係る半導体装置の製造方法の第2の実施の形態を示す。図において、1は半導体基板、2はドレイン補助拡散部、3は不純物拡散層で、3aはドレイン、3bはソースを表す。また、4は第1の絶縁膜、5aと5bは第1のゲート金属(フローティングゲートとドレイン短絡ゲート金属)、6は第2の絶縁膜、7は第2のゲート金属(コントロールゲート)、8aは不揮発性メモリ素子のチャネル部、8bはセレクトゲートのチャネル部、10はフォトレジスト、11は酸化阻止膜、12は選択酸化

膜をそれぞれ表す。以下、図に沿って請求項2記載の発明に係る半導体装置の製造方法の第2の実施の形態を簡単に説明する。

【0025】この第2の実施の形態においては、第1のゲート金属5a・5bをパターン形成する際に、通常のフォトエッチングではなく、ポリシリコン膜5上の酸化阻止膜11を一旦フォトエッチングによって穴あけし、その穴の部分のポリシリコンを選択酸化することによって得られる選択酸化膜12をエッチングマスクとして第1のゲート金属5a・5bをパターン形成することが大きな相違点であるほかは、前述の第1の実施の形態と全く同じ製造工程を経る。

【0026】即ち、前述の第1の実施の形態と同様に、必要に応じて通常の集積回路におけるWELL形成工程や素子分離形成工程を経た後、素子形成領域の半導体基板1上を熱酸化するなどして第1の絶縁膜4を形成し、フォトエッチングによって第1の絶縁膜4のドレイン補助拡散部2となる位置に穴をあけ、イオン注入などの方法で不純物を導入すした後、気相成長法などで第1のゲート金属層5であるポリシリコン膜5を第1の絶縁膜上に形成して必要な不純物導入を行った状態を図3(a)に示す。次に、やはり気相成長などによってシリコンナイトライドなどの酸化阻止膜11をポリシリコン膜5の上に形成して、フォトレジスト膜10を塗布し、フォト工程にて第1のゲート金属を形成する位置に穴あけを行った直後の状態を図3(b)に示す。この後、酸化阻止膜11のみをエッチングしてフォトレジストを除去し、熱酸化を実施すると酸化阻止膜の穴の底のポリシリコンのみが酸化されて、図3(c)のように選択酸化膜12が成長する。酸化阻止膜11を除去後、選択酸化膜12をマスクとしてポリシリコン膜をエッチングすれば、図3(d)のように、ふたつの第1のゲート金属5a・5bをパターン形成できる。以降、前述の第1の実施の形態と全く同様に、図3(e)に示すように第2の絶縁膜6を形成し、併せてドレイン補助拡散部2を拡散させた後、図3(f)に示したように第2のゲート金属層7であるポリシリコン膜または金属シリサイド膜を形成し、これをフォトエッチングによって図2(g)のように第2のゲート金属7に成形し、さらに必要に応じてゲート側壁形成などを行った後、図3(h)・図3(i)に示すようにソース3b・ドレイン3a領域に不純物導入を行う。この後、必要に応じて層間絶縁膜形成・接続孔形成・金属配線形成・保護膜形成などの工程へと進む点も、前述の通りである。

【0027】このようにして得られた図3(i)のようなスプリットゲート型不揮発性メモリ素子構造は、選択酸化膜12の存在によって、尖った第1のゲート金属5aの両端に電界集中が起こることでメモリ消去効率が上がる点と、同じく選択酸化膜12の存在によって、厚くなったフローティングゲート5aとコントロールゲート7間の絶縁膜の総厚のためにゲート間容量が低下して、容

量の点でもフォトプロセスの位置合わせバラツキの影響が小さくなる点などの他は、前述の第1の実施の形態と全く同様に、図1に示した自己整合によるセレクトゲート長を有するスプリット型不揮発性メモリを集積した半導体装置を容易に無理なく製造できる製造方法を提供する効果を奏する。

【0028】

【発明の効果】以上述べたように、本発明の半導体装置は、フローティングゲートに注入された電子による電荷量に応じて閾値電圧が変化する不揮発性メモリ素子チャネル部と、固定閾値電圧を有するセレクトゲートのチャネル部が、電気的に直列に接続された形でひとつの複合素子に集積されているスプリットゲート型不揮発性メモリ素子において、セレクトゲート部の実効的な長さが、少なくとも二つある第1のゲート金属同士の間隙の大きさによって決定される構造となるため、コントロールゲートとフローティングゲートの位置合わせ精度に起因するセレクトゲートの特性変動を回避できるという効果がある。

【0029】また、本発明による半導体装置の製造方法によれば、フローティングゲートに注入された電子による電荷量に応じて閾値電圧が変化する不揮発性メモリ素子チャネル部と、固定閾値電圧を有するセレクトゲートのチャネル部が、電気的に直列に接続された形でひとつの複合素子に集積されているスプリット型不揮発性メモリ素子において、第1の絶縁膜に予めあけた穴の上を覆う位置に形成された少なくともひとつの第1のゲート金属が半導体基板内の不純物拡散層と接続されることでセレクトゲートのドレインの一部となり、かつもう一方の第1のゲート金属は周囲から絶縁されて従来と同様のフローティングゲートとなり、かつこの両者が同時に形成されるため、後に上層に重なるセレクトゲートのゲート長を自己整合的に決定でき、フォト工程の位置合わせのバラツキによるセレクトゲートの特性変動を回避するような構造の製造が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構造を示す断面図、及び平面図であり、(a)は断面図、(b)は平面図である。

【図2】本発明の第1の実施の形態の製造方法を工程順に(a)から(i)まで並べた断面図であり、(a)は第1の絶縁膜形成直後、(b)はドレイン補助拡散部の不純物導入直後、(c)は第1のゲート金属膜形成直後、(d)は第1のゲート金属パターン形成直後、(e)は第2の絶縁膜形成直後、(f)は第2のゲート金属膜形成直後、(g)は第2のゲート金属パターン形成直後、(h)はソース・ドレイン不純物層形成直後、(i)は不揮発性メモリ素子構造決定後の断面図をそれぞれ表す。

【図3】本発明の第2の実施の形態の製造方法を工程順に(a)から(i)まで並べた断面図であり、(a)は第1の絶

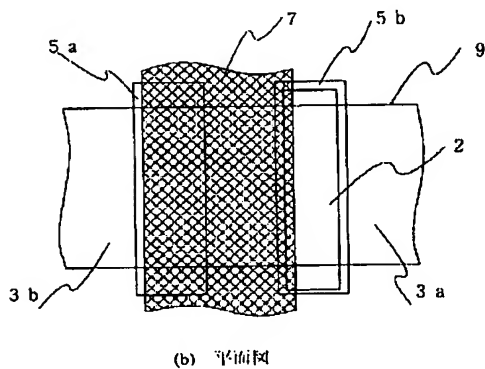
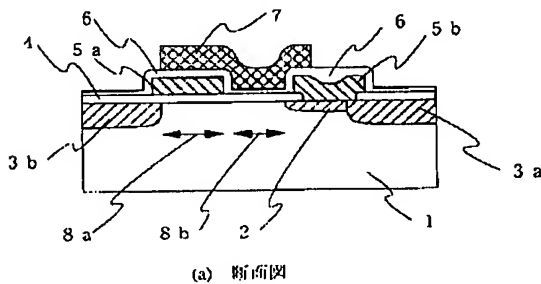
縁膜形成とドレイン補助拡散部の不純物導入と第1のゲート金属膜形成の後、(b)は酸化阻止膜形成とそのフォトリソパターン形成直後、(c)は選択酸化膜形成直後、(d)は第1のゲート金属パターン形成直後、(e)は第2の絶縁膜形成直後、(f)は第2のゲート金属膜形成直後、(g)は第2のゲート金属パターン形成直後、(h)はソース・ドレイン不純物層形成直後、(i)は不揮発性メモリ素子構造決定後の断面図をそれぞれ表す。

【図4】従来の半導体装置の製造方法を工程順に(a)から(h)まで並べた断面図と、従来の半導体装置の構造を示す断面図であり、(a)は第1の絶縁膜形成直後、(b)は第1のゲート金属膜形成直後、(c)は第1のゲート金属パターンのフォトリソ直後、(d)は第1のゲート金属パターン形成フォトリソ除去直後、(e)は第2の絶縁膜形成直後、(f)は第2のゲート金属膜形成直後、(g)は第2のゲート金属パターン形成直後、(h)はソース・ドレイン不純物層形成直後をそれぞれ表し、(i)は従来の構造を示す断面図である。

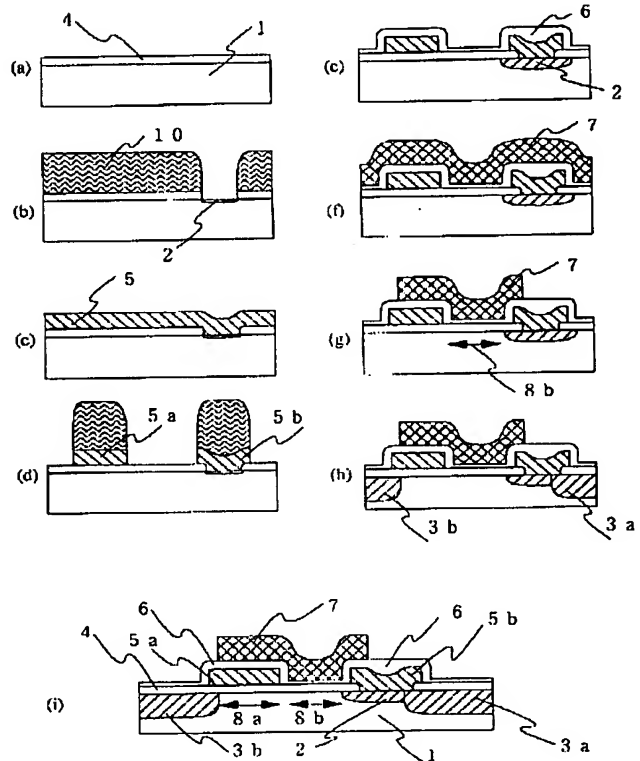
#### 【符号の説明】

1. 半導体基板
2. ドレイン補助拡散部（平面図上は、ドレイン補助拡散部注入孔）
3. 不純物拡散層
- 3 a. ドレイン
- 3 b. ソース
4. 第1の絶縁膜
5. 第1のゲート金属（フローティングゲート）
6. 第2の絶縁膜
7. 第2のゲート金属（コントロールゲート）
8. MOSFETのチャネル部
- 8 a. 不揮発性メモリ素子のチャネル部
- 8 b. セレクトゲートのチャネル部
9. 素子能動領域境界
10. フォトリソ
11. 酸化阻止膜
12. 選択酸化膜

【図1】

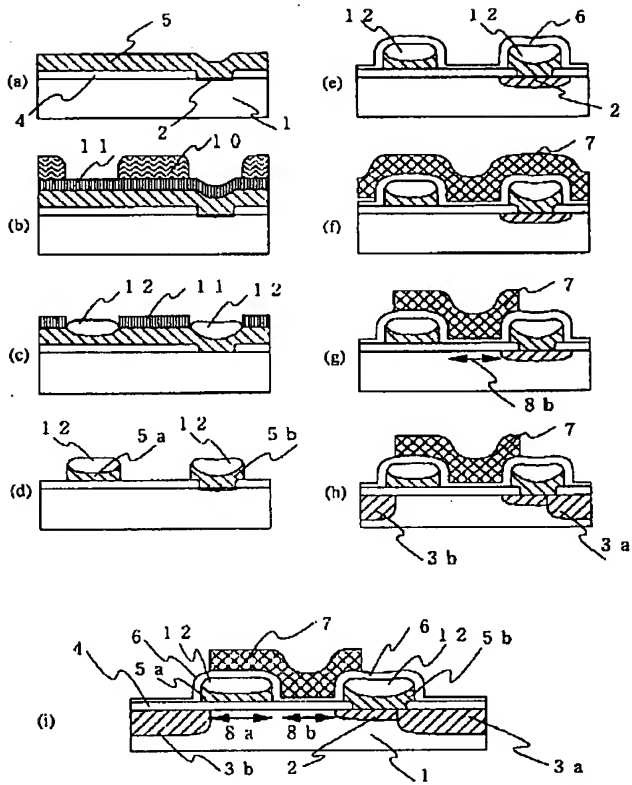


【図2】





【図3】



【図4】

